

**METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE**

Patent Number: JP2002231891  
Publication date: 2002-08-16  
Inventor(s): KIJIMA MASATO; YAMASHITA KIMIHIKO  
Applicant(s): RICOH CO LTD  
Requested Patent: ☐ JP2002231891  
Application Number: JP20010025828 20010201  
Priority Number(s):  
IPC Classification: H01L27/04; H01L21/822; H01L21/3205  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To provide a simple method capable of manufacturing a metal thin film resistor having a thin film thickness without decreasing an integration of a semiconductor device in the method for manufacturing a semiconductor device mounting a metal thin film resistor.

**SOLUTION:** A first interlayer dielectric 3 and an Al alloy film 5 are sequentially deposited on a semiconductor substrate 1 (A). A resist mask 7 is formed and sequentially a taper-shaped opening 9 is formed in a high resistance interconnection area consisting of the Al alloy film 5 by a dry etch or a wet etch (B). After removing a resist mask 7, a metallic thin film 11 is deposited on an entire surface (C). A resist mask is formed and subsequently, a metallic thin resistor 11a, a low resistance metallic interconnection 5a positioning at the both side of the metallic thin film resistor 11a, a low resistance metallic interconnection 5b of the other circuit and a thin film metallic pattern 11b (D). After removing the resist mask 13, the forming of the metallic thin film resistance circuit is completed (E).

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-231891

(P2002-231891A)

(43) 公開日 平成14年8月16日 (2002.8.16)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームト<sup>\*</sup> (参考)

H 0 1 L 27/04  
21/822  
21/3205

H 0 1 L 27/04  
21/88

P 5 F 0 3 3  
F 5 F 0 3 8

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願2001-25828 (P2001-25828)

(22) 出願日 平成13年2月1日 (2001.2.1)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 貴島 正人

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(72) 発明者 山下 公彦

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(74) 代理人 100085464

弁理士 野口 繁雄

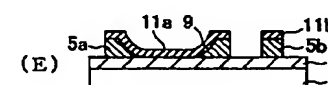
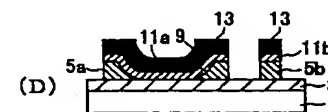
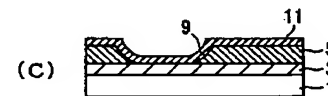
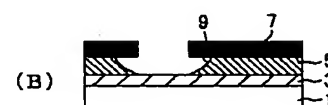
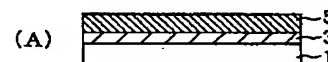
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 金属薄膜抵抗体を搭載した半導体装置の製造方法において、簡便で、半導体装置の集積度を低下させることなく、かつ膜厚が薄い金属薄膜抵抗体を製造可能な製造方法を提供する。

【解決手段】 半導体基板1上に第1の層間絶縁膜3及びAl合金膜5を順に堆積する(A)。レジストマスク7を形成し、続いてドライエッチング又はウェットエッチングによりAl合金膜5の高抵抗配線領域部分にテーパ形状の開口部9を形成する(B)。レジストマスク7を除去した後、金属薄膜11を全面に堆積する(C)。レジストマスク13を形成し、続いてドライエッチングにより金属薄膜抵抗体11a、金属薄膜抵抗体11aの両端側に位置する低抵抗金属配線5a、他の回路の低抵抗金属配線5b及び薄膜金属パターン11bを形成する(D)。レジストマスク13を除去し、金属薄膜抵抗体回路の形成を完了する(E)。



## 【特許請求の範囲】

【請求項1】 半導体素子を有する半導体基板上に、低抵抗金属配線に比べて高抵抗の金属薄膜抵抗体を備えた半導体装置の製造方法において、

絶縁膜上に低抵抗金属配線用の低抵抗金属膜を堆積した後、高抵抗領域となる部分の前記低抵抗金属膜をエッチングして金属薄膜抵抗体用の開口部を形成し、その開口部を含む半導体基板の全面に金属薄膜抵抗体用の金属薄膜を堆積し、前記金属薄膜及び前記低抵抗金属膜を同一レジストマスクで異方性エッチングして前記金属薄膜抵抗体用の開口部に金属薄膜抵抗体を形成するとともに、抵抗素子部及び半導体素子部の低抵抗金属配線を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記金属薄膜抵抗体用の開口部を形成する際に、ウェットエッチングによって等方的にエッチングすることにより前記金属薄膜抵抗体用の開口部をテーパ形状に形成する請求項1に記載の製造方法。

【請求項3】 前記金属薄膜抵抗体用の開口部を形成する際に、ドライエッチングにより前記金属薄膜抵抗体用の開口部をテーパ形状に形成する請求項1に記載の半導体装置の製造方法。

【請求項4】 前記金属薄膜抵抗体用の前記金属薄膜の材料として、NiCr、Ta<sub>2</sub>N、CrSi<sub>2</sub>及びCrSiO<sub>2</sub>のうちのいずれかを用いる請求項1から3のいずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子を有する半導体基板上に、低抵抗金属配線に比べて高抵抗の金属薄膜抵抗体を備えた半導体装置の製造方法に関するものである。金属薄膜抵抗体を備えた半導体装置は、例えば小型の電源装置の電圧検出回路や電圧安定回路を構築するのに使用される。

【0002】

【従来の技術】薄膜抵抗体は回路上高いシート抵抗が必要とされるLSI（大規模集積回路）において有用である。特に、従来の回路においては、不純物がドーパされた多結晶シリコン（ポリSi）膜が抵抗体材料として用いられてきた。しかし、高精度及び高信頼性が要求されるアナログ回路では、より低い抵抗温度係数が必要とされるため、金属薄膜抵抗体が用いられている。金属薄膜抵抗体の材料としては例えばNiCr（ニッケルクロム）、Ta<sub>2</sub>N（窒化タンタル）、CrSi<sub>2</sub>（クロムシリサイド）及びCrSiO<sub>2</sub>（クロムシリコンオキシ）等を挙げることができる。

【0003】近年、半導体集積回路の縮小化に従い、半導体素子部と同一基板上に搭載する抵抗体の面積も縮小することが必要となり、より小さな面積で高抵抗の素子を実現するために、金属薄膜抵抗体の一層の薄膜化が進んでいる。金属薄膜抵抗体に低抵抗金属配線を接続する

際に、一般的に金属配線同士を接続するのに用いられている方法（従来例1）を適用した場合の問題点を図2に示す。

【0004】図2は従来例1により形成された半導体装置の金属薄膜抵抗体周辺を示す断面図である。半導体基板1上に第1の層間絶縁膜3が形成されており、さらにその上に金属薄膜抵抗体15が形成されている。層間絶縁膜3上及び金属薄膜抵抗体15上に第2の層間絶縁膜17が堆積されている。第2の層間絶縁膜17には金属薄膜抵抗体15の両端側に対応する位置にドライエッチングにより接続孔19が形成されている。第2の層間絶縁膜17上には、低抵抗金属膜が所望のパターンに加工された低抵抗金属配線21が形成されている。

【0005】従来例1では、接続孔19をドライエッチングにより形成する時に下地の金属薄膜抵抗体15との選択比が十分に取れないため、金属薄膜抵抗体15もエッチングされてしまい、金属薄膜抵抗体15と低抵抗金属配線21とが電気的につながなくなってしまうという不具合が発生することがあった。このため、金属薄膜抵抗体15の膜厚を薄くすることに限界があった。

【0006】従来例1の不具合を回避するための第1の製造方法（従来例2）により形成された半導体装置の金属薄膜抵抗体周辺の断面図を図3に示す。図2と同じ部分には同じ符号を付し、その説明は省略する。半導体基板1上に第1の層間絶縁膜3及び金属薄膜抵抗体15が形成されている。金属薄膜抵抗体15の両端に、ウェットエッチングによりパターニングされた低抵抗金属配線23が形成されている。

【0007】第1の製造方法（従来例2）では、金属薄膜抵抗体15を形成した後、金属薄膜抵抗体15上に低抵抗金属膜を堆積し、低抵抗金属膜上に所望の形状にレジストパターンを形成し、ウェットエッチングによって低抵抗金属配線23を形成する（図3参照）。従来例2と同様の方法が特開平5-190547号公報及び特許第2762473号に開示されている。

【0008】低抵抗金属配線23の形成時に用いるエッチングとしてウェットエッチングが用いられる理由は、ドライエッチングを用いると下地の金属薄膜抵抗体15との選択比が十分に取れないため、金属薄膜抵抗体15がエッチングされて抵抗値がばらついたり、金属薄膜抵抗体15が断線したりするという不具合が発生するからである。

【0009】しかし、ウェットエッチングによって形成される低抵抗金属配線23の寸法制御性が悪いという問題があった。特に、半導体集積回路に抵抗体を搭載し、抵抗体回路に用いる低抵抗金属配線23と他の回路に用いる低抵抗金属配線とを同一層として形成する場合、他の回路の面積が増大するという不具合があり、回路全体の集積度が悪化する。また、低抵抗金属配線23と半導体集積回路の低抵抗金属配線とを別々の層で作ると工程

数が増加するという不具合があった。

【0010】従来例1の不具合を回避するための第2の製造方法(従来例3)により形成された半導体装置の金属薄膜抵抗体周辺の断面図を図4に示す。図2と同じ部分には同じ符号を付し、その説明は省略する。半導体基板1上に第1の層間絶縁膜3、金属薄膜抵抗体15及び第2の層間絶縁膜17が形成されている。第2の層間絶縁膜17には金属薄膜抵抗体15の両端側に対応する位置にウェットエッチングにより接続孔25が形成されている。第2の層間絶縁膜17上には低抵抗金属配線21が形成されている。

【0011】第2の製造方法(従来例3)では、半導体基板1と第1の層間絶縁膜3上に金属薄膜抵抗体15を形成し、さらに第2の層間絶縁膜17を堆積し、金属薄膜抵抗体15と低抵抗金属配線21を電気的に接続するための接続孔25となる部分の第2の層間絶縁膜17をレジストマスクを用いてウェットエッチングによって選択的にエッチングし、別のレジストマスクを用いて他の回路における下層配線と上層配線を電気的に接続するための接続孔となる部分の第2の層間絶縁膜17をドライエッチングによって選択的にエッチングする。

【0012】従来例3の製造方法によれば、低抵抗金属配線21の形成にはドライエッチングを用いることができ、また、抵抗体以外の回路における接続孔の形成にもドライエッチングを用いることができるため、抵抗体以外の回路では高集積化の妨げとはならない。しかし従来例3の製造方法では、接続孔25と抵抗体以外の回路における接続孔のエッチング方法を分けて行なうため、工程数が増えるという問題があった。さらに、従来例2の製造方法に比べて、金属薄膜抵抗体15と低抵抗金属配線21との間に新たに第2の層間絶縁膜17を形成する必要があるため、製造コストが増えるという不具合があった。

【0013】図5は、従来例1の不具合を回避するための第3の製造方法(従来例3)を示す工程断面図である。図2と同じ部分には同じ符号を付す。このような製造方法は、例えば特開平6-196435号公報に開示されている。

(A)半導体基板1上に第1の層間絶縁膜3を形成し、さらにその上に低抵抗金属配線となるアルミニウム(A1)等の低抵抗金属膜27を形成する。

(B)レジストマスクを用いて、金属薄膜抵抗体を形成する領域を含む低抵抗金属配線27aとその他の回路用の低抵抗配線27bを異方性エッチングにより形成する。

【0014】(C)レジストマスク29を徐々した後、新たに別のレジストマスク31を用いて金属薄膜抵抗体を形成する領域の低抵抗金属配線27aをウェットエッチング等の等方性エッチングにより除去してテーパ形状の開口部33を形成する。

(D)レジストマスク31を徐々した後、半導体基板1上全面に金属薄膜抵抗体となる金属薄膜35を形成する。

(E)レジストマスク37を用いて金属薄膜35をパターンニングし、開口部33に金属薄膜抵抗体35aを形成する。

(F)レジストマスク37を除去して金属薄膜抵抗体35aの形成が完了する。

【0015】この方法によれば、抵抗素子部において、低抵抗金属配線27aのテーパ形状の開口部33に金属薄膜抵抗体35aが形成されているので良好な電気的接続が可能となる。さらに、半導体素子部においては低抵抗金属配線27bが異方性エッチングによる形成されているので回路全体の集積度が悪化することはない。

【0016】しかし、従来例4による製造方法では、低抵抗金属配線27a、27bを形成するためのドライエッチング、低抵抗金属配線27aに開口部33を形成するためのウェットエッチング、及び金属薄膜抵抗体35aを形成するためのドライエッチングをすべて個別に実施するため、工程数が増加し、製造コストが高くなるという不具合があった。

【0017】

【発明が解決しようとする課題】そこで本発明は、金属薄膜抵抗体を搭載した半導体装置の製造方法において、簡便で、半導体装置の集積度を低下させることなく、かつ金属薄膜抵抗体が薄くても製造可能な製造方法を提供することを目的とするものである。

【0018】

【課題を解決するための手段】本発明は、半導体素子を有する半導体基板上に、低抵抗金属配線に比べて高抵抗の金属薄膜抵抗体を備えた半導体装置の製造方法であって、絶縁膜上に低抵抗金属配線用の低抵抗金属膜を堆積した後、高抵抗領域となる部分の上記低抵抗金属膜をエッチングして金属薄膜抵抗体用の開口部を形成し、その開口部を含む半導体基板の全面に金属薄膜抵抗体用の金属薄膜を堆積し、上記金属薄膜及び上記低抵抗金属膜を同一レジストマスクで異方性エッチングして上記金属薄膜抵抗体用の開口部に金属薄膜抵抗体を形成するとともに、抵抗素子部及び半導体素子部の低抵抗金属配線を形成する工程を含むものである。本明細書において、低抵抗金属膜とは金属薄膜抵抗体に比べて低い抵抗値をもつ金属膜をいう。また、抵抗素子部とは金属薄膜抵抗体を含む領域をいい、半導体素子部とは半導体素子を含む領域をいう。

【0019】

【発明の実施の形態】本発明にかかる製造方法において、低抵抗金属配線用の低抵抗金属膜に金属薄膜抵抗体用の開口部を形成する際に、ウェットエッチングによって等方的にエッチングすることにより金属薄膜抵抗体用の開口部をテーパ形状に形成することが好ましい。

【0020】本発明にかかる製造方法において、低抵抗金属配線用の低抵抗金属膜に金属薄膜抵抗体用の開口部を形成する際に、ドライエッチングにより金属薄膜抵抗体用の開口部をテーパ形状に形成することが好ましい。

【0021】金属薄膜抵抗体用の上記金属薄膜の材料の一例は、NiCr、TaN、CrSi<sub>2</sub>及びCrSiOのうちのいずれかである。

【0022】

【実施例】図1は本発明の一実施例を示す工程断面図である。以下、この実施例について図1を用いて説明する。

(A) ゲート電極及び不純物拡散層等からなるMOS型トランジスタ素子を有する半導体基板1上に第1の層間絶縁膜3を形成し、さらにその上に低抵抗金属配線用のAl合金膜5を例えば900nmの膜厚で堆積する。MOS型トランジスタ素子を形成する方法は広く知られているあらゆる方法を用いることができるのでここでは示さない。第1の層間絶縁膜3としては、例えばNSG膜(下層)/BPSG膜(上層)の積層膜を用いることができる。

【0023】(B) 高抵抗配線領域(金属薄膜抵抗体を形成する領域)に対応する部分のみに開口部をもつレジストマスク7を形成し、続いてドライエッチング又はウェットエッチングによって、Al合金膜5の高抵抗配線領域部分にテーパ形状の開口部9を形成する。ここで、開口部9の形状をテーパ形状に加工することが好ましい。急峻な形状に加工した場合、高抵抗配線領域と低抵抗配線領域の境界(開口部9の側壁)において、後工程で堆積する金属薄膜抵抗体が断線する虞れがあるからである。

【0024】工程(B)において、ウェットエッチングの手段としては、例えばリン酸(H<sub>3</sub>PO<sub>4</sub>)と硝酸(HNO<sub>3</sub>)の混合液を用いるエッチングが挙げられる。ドライエッチングの手段としては、例えばCl<sub>2</sub>とBCl<sub>3</sub>の混合ガスを用いるプラズマエッチングで反応生成物の付着性を高めるためにCHF<sub>3</sub>を添加する方法が挙げられる。本実施例を示す図1(B)ではウェットエッチングによって形成した開口部9の形状を示している。ウェットエッチングによる場合は、特に条件を設定しなくても開口部9の形状をテーパ形状に形成することができる。

【0025】(C) レジストマスク7を除去した後、厚さが1~100nmの金属薄膜抵抗体用の金属薄膜11を全面に堆積する。金属薄膜11の材料としてはNiCr、TaN、CrSi<sub>2</sub>及びCrSiOのうちのいずれかを用いることができる。この実施例ではCrSi<sub>2</sub>を用いた。

(D) 金属薄膜抵抗体及び低抵抗金属配線を含む所望の配線パターン形状にレジストマスク13を形成する。ドライエッチングにより金属薄膜11及びAl合金膜5を連続してエッチングして、金属薄膜抵抗体11a、金属薄

膜抵抗体11aの両端側に位置する低抵抗金属配線5a及び他の回路の低抵抗金属配線5bを形成する。低抵抗金属配線5b上には、金属薄膜11がエッチングされて形成された薄膜金属パターン11bが残存するが、低抵抗金属配線5bの抵抗に対する影響は無視できる。ここでのドライエッチングでは、CrSi<sub>2</sub>からなる金属薄膜11をエッチングするときはエッチングガスとしてSiCl<sub>4</sub>とCl<sub>2</sub>の混合ガスを用い、Al合金膜5をエッチングするときはエッチングガスとしてBCl<sub>3</sub>とCl<sub>2</sub>の混合ガスを用いた。エッチングガスの入替え時期は処理時間により判断する。

(E) レジストマスク13を除去し、金属薄膜抵抗体回路の形成を完了する。その後の工程は、一般的な半導体装置製造方法に従い、パッシベーション膜形成工程等を経て半導体装置を完成させる。

【0026】この実施例では、低抵抗金属配線5a、5bをドライエッチングによって形成するので、寸法バラツキを±0.1μm以下に抑えることができ、集積回路の微細化の妨げにはならない。さらに、従来例1及び3(図2及び図4参照)で問題となっていた金属薄膜抵抗体15と低抵抗金属配線21を電気的に接続するための接続孔19及び25の形成が不要となるので、この実施例では金属薄膜抵抗体11aの膜厚を自由に設定でき、金属薄膜抵抗体11aの薄膜化を工程数の増加なしに達成できる。さらに、金属薄膜抵抗体11aと低抵抗金属配線5a、5bを同一レジストマスクを使用してドライエッチングにより形成することができるので、製造コストを低く抑えるとともに、極めて薄い金属薄膜抵抗体11aを容易に形成することができる。

【0027】上記の実施例では、MOS型トランジスタ素子を含む半導体集積回路と金属薄膜抵抗体とを同一基板上に形成する方法について述べたが、MOS型トランジスタ素子に限らず、バイポーラ素子、Bi-CMOS素子等の半導体集積回路にも本発明を容易に適用できることは言うまでもない。また、上記の実施例では、低抵抗金属配線用の低抵抗金属膜としてAl合金膜5を用いているが、本発明はこれに限定されるものではなく、金属薄膜抵抗体に比べて低い抵抗値をもつ金属膜であれば他の金属膜であってもよい。

【0028】また、上記の実施例では、金属薄膜抵抗体11aと接続する低抵抗金属配線5aとして、半導体基板1から数えて1層目の低抵抗金属配線を用いたが、本発明はこれに限定されるものではなく、多層配線を有する半導体集積回路と金属薄膜抵抗体とを同一基板上に形成する場合には、金属薄膜抵抗体と接続する低抵抗金属配線はいずれの層の低抵抗金属配線であっても上記の実施例と同様にして本発明を適用することができる。

【0029】

【発明の効果】請求項1に記載の半導体装置の製造方法においては、絶縁膜上に低抵抗金属配線用の低抵抗金属